



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0015761  
Application Number

출원년월일 : 2003년 03월 13일  
Date of Application MAR 13, 2003

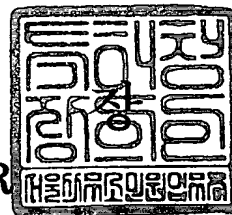
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 26 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.03.13
【발명의 명칭】	동작 모드에 따라 가변 가능한 내부 클록 신호를 생성하는 반도체 메모리 장치
【발명의 영문명칭】	SEMICONDUCTOR MEMORY DEVICE CAPABLE OF INTERNALLY GENERATING VARIABLE CLOCK SIGNALS ACCORDING TO MODES OF OPERATION
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김남석
【성명의 영문표기】	KIM,NAM SEOG
【주민등록번호】	740924-1025416
【우편번호】	136-141
【주소】	서울특별시 성북구 장위1동 212번지 101호 29/3
【국적】	KR
【발명자】	
【성명의 국문표기】	조욱래
【성명의 영문표기】	CHO,UK RAE
【주민등록번호】	640306-1804617

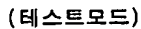
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1187 신현대아파트 2동 402호
【국적】	KR
【발명자】	
【성명의 국문표기】	윤용진
【성명의 영문표기】	Y00N,YONG JIN
【주민등록번호】	640420-1046724
【우편번호】	157-010
【주소】	서울특별시 강서구 화곡동 102-273번지
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	29 면 29,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	12 항 493,000 원
【합계】	551,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

여기에 개시되는 반도체 메모리 장치는 어드레스 클록 신호에 응답하여 외부 어드레스를 입력받는 어드레스 입력 회로와; 어드레스 입력 회로로부터의 어드레스에 응답하여 메모리 셀들을 선택하는 선택 회로와; 제 1 및 제 2 데이터 클록 신호들에 응답하여 독출 회로로부터의 데이터를 외부로 출력하는 데이터 출력 회로와; 그리고 외부 클록 신호 및 그의 상보 클록 신호에 응답하여 어드레스 클록 신호와 제 1 및 제 2 데이터 클록 신호들을 발생하는 내부 클록 발생 회로를 포함한다. 내부 클록 발생 회로는 테스트 모드시 외부 클록 신호의 2배 주기를 갖는 어드레스 클록 신호 및 제 1 및 제 2 데이터 클록 신호들을 발생한다.

【대표도】



**【명세서】****【발명의 명칭】**

동작 모드에 따라 가변 가능한 내부 클록 신호를 생성하는 반도체 메모리 장치  
{SEMICONDUCTOR MEMORY DEVICE CAPABLE OF INTERNALLY GENERATING VARIABLE CLOCK SIGNALS  
ACCORDING TO MODES OF OPERATION}

**【도면의 간단한 설명】**

도 1은 고속 메모리 장치와 테스트 장비의 동작 주파수 영역을 보여주는 도면;

도 2는 본 발명에 따른 반도체 메모리 장치의 CC 및 CA 모드를 설명하기 위한 도면;

도 3은 본 발명에 따른 반도체 메모리 장치를 개략적으로 보여주는 블록도;

도 4는 본 발명의 바람직한 실시예에 따른 도 3에 도시된 내부 클록 발생 회로를 보여주는 블록도;

도 5는 본 발명의 바람직한 실시예에 따른 도 4에 도시된 제 2 멀티플렉서를 보여주는 회로도;

도 6은 본 발명의 바람직한 실시예에 따른 도 5에 도시된 선택기를 보여주는 회로도;

도 7은 본 발명의 바람직한 실시예에 따른 도 4에 도시된 제 4 멀티플렉서를 보여주는 회로도;

도 8은 본 발명의 바람직한 실시예에 따른 도 4에 도시된 제 2 구동 회로를 보여주는 블록도;

도 9는 본 발명의 바람직한 실시예에 따른 도 8에 도시된 구동기들 중 하나를 보여주는 회로도;

도 10은 본 발명의 바람직한 실시예에 따른 도 4에 도시된 제 4 구동 회로를 보여주는 블록도;

도 11은 본 발명의 바람직한 실시예에 따른 도 4에 도시된 클록 발생기를 보여주는 회로도;

도 12는 본 발명에 따른 반도체 메모리 장치의 CC 모드에서 생성되는 데이터 클록 신호들 (CKR, CKF)과 어드레스 클록 신호 (CKA)를 보여주는 타이밍도; 그리고

도 12는 본 발명에 따른 반도체 메모리 장치의 테스트 모드에서 생성되는 데이터 클록 신호들 (CKR, CKF)과 어드레스 클록 신호 (CKA)를 보여주는 타이밍도이다.

**\* 도면의 주요 부분에 대한 부호 설명 \***

100 : 반도체 메모리 장치    110 : 메모리 셀 어레이

120 : 어드레스 입력 회로    130 : 디코더 회로

140 : 데이터 입력 회로    150 : 기입 회로

160 : 독출 회로    170 : 데이터 출력 회로

180 : 내부 클록 발생 회로    190 : 제어 회로

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<20>    본 발명은 반도체 집적 회로 장치들에 관한 것으로, 좀 더 구체적으로는 동기형 반도체 메모리 장치에 관한 것이다.

- <21> CMOS 집적 회로 기술의 발달로 집적 회로의 동작 속도가 급속도로 향상되어 오고 있다. 집적 회로의 동작 속도의 향상은 집적 회로를 구동하기 위한 클록 신호의 향상을 요구하며, 이는 클록 주파수의 증가를 의미한다. 클록 주파수가 커짐에 따라 발생하는 문제점들 중 가장 큰 문제점으로서 외부 클록 신호와 내부 클록 신호 사이에 클록 스큐(clock skew)가 생기는 것이다. 클록 스큐는 집적 회로의 오동작을 야기하기 때문에 반드시 해결되어야 한다. 일반적으로 클록 스큐를 해결하기 위해서 위상 동기 루프 회로(phase locked loop-PLL-circuit)나 지연 동기 루프 회로(delay locked loop-DLL-circuit)가 사용되고 있다. 하지만, 그러한 회로의 단점은 동기 시간이 길다는 것이다. 이러한 단점을 해결하기 위해서 동기 미러 지연 회로(synchronous mirror delay-SMD-circuit)가 제안되었다. 동기 미러 지연 회로는 두 사이클만에 외부 클록 신호와 동기된 내부 클록 신호를 생성한다.
- <22> 일반적인 동기 미러 지연 회로들의 예들이 U.S. Patent No. 6,060,920에 "MULTIPLEX SYNCHRONOUS DELAY CIRCUIT"라는 제목으로 그리고 U.S. Patent No. 6,373,913에 "INTERNAL CLOCK SIGNAL GENERATOR INCLUDING CIRCUIT FOR ACCURATELY SYNCHRONIZING INTERNAL CLOCK SIGNAL WITH EXTERNAL CLOCK SIGNAL"라는 제목으로 각각 게재되어 있다.
- <23> 반도체 메모리 장치의 동작 속도는 계속해서 향상되는 반면에, 메모리 장치를 테스트하는 장비의 동작 속도는 그에 비례해서 향상되지 않는다. 반도체 메모리 장치의 동작 속도가 향상됨에 따라, 반도체 메모리 장치의 동작 주파수 영역은 테스트 장비의 동작 주파수 영역과 다르다. 도 1에 도시된 바와 같이, 비록 테스트 장비의 동작 주파수 영역이 반도체 메모리 장치에 포함된, SMD, PLL, 그리고 DLL과 같은, 클록 발생 회로의 정해진 동기 범위에 속하더라도, 테스트 장비의 동작 주파수 영역이 낮기 때문에 고속으로 동작하는 메모리 장치를 실질적인 동작 환경에서 테스트하는 것은 현실적으로 어렵다.



<24> 따라서, 동작 주파수 영역이 낮은 테스트 장비를 이용하여 실질적인 동작 환경에서도 반도체 메모리 장치를 테스트 가능하게 하는 새로운 기술이 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

<25> 본 발명의 목적은 외부 클록 신호의 2배 주기를 갖는 내부 클록 신호를 발생하는 반도체 메모리 장치를 제공하는 것이다.

<26> 본 발명의 다른 목적은 낮은 주파수 영역의 테스트 장비로부터 제공되는 클록 신호를 이용하여 높은 주파수 영역에서 테스트 동작을 수행하는 반도체 메모리 장치를 제공하는 것이다.

【발명의 구성 및 작용】

<27> 상술한 제반 목적을 달성하기 위한 본 발명의 특징에 따르면, 반도체 메모리 장치는 행들과 열들로 배열된 메모리 셀들의 어레이와; 어드레스 클록 신호 (CKA)에 응답하여 외부 어드레스를 입력받는 어드레스 입력 회로와; 상기 어드레스 입력 회로로부터의 어드레스에 응답하여 메모리 셀들을 선택하는 선택 회로와; 상기 선택된 메모리 셀들로부터 데이터를 독출하는 독출 회로와; 제 1 및 제 2 데이터 클록 신호들 (CKR, CKF)에 응답하여 상기 독출 회로로부터의 데이터를 외부로 출력하는 데이터 출력 회로와; 그리고 외부 클록 신호 및 그의 상보 클록 신호에 응답하여 상기 어드레스 클록 신호와 상기 제 1 및 제 2 데이터 클록 신호들을 발생하는 내부 클록 발생 회로를 포함한다. 상기 내부 클록 발생 회로는 테스트 모드시 상기 외부 클록 신호의 2배 주기를 갖는 상기 어드레스 클록 신호 및 상기 제 1 및 제 2 데이터 클록 신호들을 발생한다.

- <28> 바람직한 실시예에 있어서, 상기 내부 클록 발생 회로는 정상 모드시 상기 외부 클록 신호와 동일한 주기를 갖는 상기 어드레스 클록 신호 및 상기 제 1 및 제 2 데이터 클록 신호들을 발생한다.
- <29> 바람직한 실시예에 있어서, 반도체 메모리 장치는 상기 제 1 및 제 2 데이터 클록 신호들에 응답하여 외부 데이터를 입력받는 데이터 입력 회로와; 그리고 상기 데이터 입력 회로로부터의 데이터를 상기 어레이의 선택된 메모리 셀들에 기입하는 기입 회로를 더 포함한다.
- <30> 바람직한 실시예에 있어서, 상기 내부 클록 발생 회로는 동기 미러 지연 회로를 포함하며, 상기 반도체 메모리 장치는 더블 데이터 레이트 메모리 장치이다.
- <31> 바람직한 실시예에 있어서, 상기 테스트 모드시, 상기 내부 클록 발생 회로는 상기 외부 클록 신호의 1/4 주기마다 상기 어드레스 클록 신호를 발생하고, 상기 외부 클록 신호의 0 및 1/2 주기마다 상기 제 1 데이터 클록 신호를 발생하며, 상기 외부 클록 신호의 1/4 및 3/4 주기마다 상기 제 2 데이터 클록 신호를 발생한다.
- <32> 바람직한 실시예에 있어서, 상기 정상 모드시, 상기 내부 클록 발생 회로는 상기 외부 클록 신호의 0 주기마다 상기 어드레스 클록 신호를 발생하고, 상기 외부 클록 신호의 0 주기마다 상기 제 1 데이터 클록 신호를 발생하며, 상기 외부 클록 신호의 1/2 주기마다 상기 제 2 데이터 클록 신호를 발생한다.
- <33> 본 발명의 다른 특징에 따르면, 반도체 메모리 장치는 행들과 열들로 배열된 메모리 셀들의 어레이와; 어드레스 클록 신호 (CKA)에 응답하여 외부 어드레스를 입력받는 어드레스 입력 회로와; 상기 어드레스 입력 회로로부터의 어드레스에 응답하여 메모리 셀들을 선택하는 선택 회로와; 상기 선택된 메모리 셀들로부터 데이터를 독출하는 독출 회로와; 제 1 및 제 2 데

이더 클록 신호들 (CKR, CKF)에 응답하여 상기 독출 회로로부터의 데이터를 외부로 출력하는 데이터 출력 회로와; 제 1 동기 미러 지연 회로를 포함하며, 외부 클록 신호의 0T 위상 (T는 상기 외부 클록 신호의 주기)을 갖는 제 1 내부 클록 신호 (CLK\_0T)와 상기 외부 클록 신호의 T/4 위상을 갖는 제 2 내부 클록 신호 (CLK\_45T)를 발생하는 제 1 클록 발생 회로와; 제 2 동기 미러 지연 회로를 포함하며, 상기 외부 클록 신호의 T/2 위상을 갖는 제 3 내부 클록 신호 (CLK\_90T)와 상기 외부 클록 신호의 3T/4 위상 (CLK\_135T)을 갖는 제 4 내부 클록 신호를 발생하는 제 2 클록 발생 회로와; 제어 신호들에 응답하여 상기 제 1 및 제 2 내부 클록 신호들을 디코딩하고, 디코딩 결과로서 제 1 내지 제 3 디코딩 신호들을 출력하는 제 1 디코딩 회로와; 상기 제어 신호들에 응답하여 상기 제 3 및 제 4 내부 클록 신호들을 디코딩하고, 디코딩 결과로서 제 4 내지 제 6 디코딩 신호들을 출력하는 제 2 디코딩 회로와; 그리고 상기 제 1 내지 제 6 디코딩 신호들에 응답하여 상기 제 1 및 제 2 데이터 클록 신호들 및 상기 어드레스 클록 신호를 발생하는 제 3 클록 발생 회로를 포함한다. 테스트 모드시, 상기 어드레스 클록 신호는 상기 제 1 내지 제 4 내부 클록 신호들에 각각 동기되어 생성되고, 상기 제 1 데이터 클록 신호는 상기 제 1 및 제 3 내부 클록 신호들에 각각 동기되어 생성되며, 상기 제 2 데이터 클록 신호는 상기 제 2 및 제 4 내부 클록 신호들에 각각 동기되어 생성된다.

<34> 이하, 본 발명의 바람직한 실시예들이 참조 도면들에 의거하여 상세히 설명될 것이다.

<35> 본 발명의 반도체 메모리 장치는 클록 신호의 하이 에지와 로우 에지에서 데이터 입출력 동작이 수행되는 더블 데이터 레이트 (double data rate: DDR) 메모리 장치이다. 하지만, 본 발명이 그것에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 본 발명에 따른 반도체 메모리 장치는 데이터가 클록 신호의 어느 위상에 동기되어 출력되는 지에 따라 CC 모드 (clock centered mode)와 CA (clock aligned mode)에서 선택적으로 동작한다. 도

2에 도시된 바와 같이, 출력 데이터는 CA 모드에서 클록 신호 (XK)의 반주기 내에 정렬되고 CC 모드에서 클록 신호 (XK)의 하이/로우 에지에 정렬된다. 본 발명에 있어서, "T"라는 용어는 외부 클록 신호 (XK)의 한 주기를 나타낸다.

<36> 도 3은 본 발명에 따른 반도체 메모리 장치를 개략적으로 보여주는 블록도이다.

<37> 도 3을 참조하면, 본 발명의 반도체 메모리 장치 (100)는 데이터를 저장하기 위한 메모리 셀 어레이 (110)를 포함한다. 비록 도면에는 도시되지 않았지만, 메모리 셀 어레이 (110)는 행들과 열들의 매트릭스로 배열된 복수의 메모리 셀들을 갖는다. 어드레스 입력 회로 (120)는 패드 (121)에 연결되며, 내부 클록 발생 회로 (180)로부터의 어드레스 클록 신호 (CKA)에 동기되어 외부 어드레스를 받아들인다. 비록 도면에는 하나의 어드레스 패드가 도시되어 있지만, 더 많은 어드레스 패드들이 제공됨은 자명하다. 디코더 회로 (130)는 어드레스 입력 회로 (120)로부터 출력되는 어드레스를 디코딩하며, 디코딩 결과에 따라 메모리 셀 어레이 (110)의 메모리 셀(들)이 선택된다.

<38> 계속해서 도 3을 참조하면, 데이터 입력 회로 (140)는 패드 (141)에 연결되며, 내부 클록 발생 회로 (180)로부터의 데이터 클록 신호들 (CKR, CKF)에 응답하여 외부 데이터를 받아들인다. 비록 도면에는 하나의 데이터 패드가 도시되어 있지만, 더 많은 어드레스 패드들이 제공됨은 자명하다. 기입 회로 (write driver circuit) (150)는 데이터 입력 회로 (140)로부터 전달된 데이터를 메모리 셀 어레이 (110)에 기입한다. 독출 회로 (read-out circuit) (160)는 메모리 셀 어레이 (110)로부터 데이터를 독출하며, 데이터 출력 회로 (170)는 내부 클록 발생 회로 (180)로부터의 데이터 클록 신호들 (CKR, CKF)에 응답하여 독출 회로 (160)로부터 출력된 데이터를 받아들인다.

<39> 내부 클록 발생 회로 (180)는 패드들 (181, 182)에 연결되며, 외부 클록 신호 (XK) 및 그의 상보 신호 (XKB)를 공급받는다. 내부 클록 발생 회로 (180)는 동기 미러 지연 회로들로 구성되며, 이는 이후 상세히 설명될 것이다. 내부 클록 발생 회로 (180)는 제어 회로 (190)에 의해서 제어되며, 어드레스 클록 신호 (CKA)와 데이터 클록 신호들 (CKR, CKF)를 발생한다. 어드레스 및 데이터 클록 신호들 (CKA, CKR, CKF)은 동작 모드에 따라 상이한 클록 주기를 갖는다. 예를 들면, 어드레스 클록 신호 (CKA)는 정상 동작시 외부 클록 신호 (XK)와 동일한 클록 주기를 갖고 테스트 동작시 외부 클록 신호 (XK)의 2배의 클록 주기를 갖는다. 데이터 클록 신호 (CKR)는 정상 동작시 외부 클록 신호 (XK)와 동일한 클록 주기를 갖고 테스트 동작시 외부 클록 신호 (XK)의 2배의 클록 주기를 갖는다. 데이터 클록 신호 (CKF)는 정상 동작시 외부 클록 신호 (XK)와 동일한 클록 주기를 갖고 테스트 동작시 외부 클록 신호 (XK)의 2배의 클록 주기를 갖는다.

<40> 본 발명의 반도체 메모리 장치에 따르면, 테스트 장비의 동작 주파수 영역이 낮은 주파수 영역에 있더라도, 테스트 장비로부터 공급되는 외부 클록 신호 (XK)의 2배의 클록 주기를 갖는 내부 클록 신호들 (CKA, CKR, CKF)을 생성함으로써 실질적인 동작 환경의 높은 주파수 영역에서 반도체 메모리 장치를 테스트하는 것이 가능하다.

<41> 도 4는 본 발명의 바람직한 실시예에 따른 도 3에 도시된 내부 클록 발생 회로 (180)를 보여주는 블록도이다.

<42> 도 4를 참조하면, 본 발명에 따른 내부 클록 발생 회로 (180)는 제 1 및 제 2 동기 미러 지연 회로들 (SMDR, SMDF)과 제 1 내지 제 3 클록 발생기들 (1210, 1410, 1500)을 포함한다. 제 1 동기 미러 지연 회로 (SMDR)는 외부 클록 신호 (XK) 및 그것의 상보 클록 신호 (XKB)를 공급받고 내부적으로 외부 클록 신호 (XK)에 동기된 클록 신호들 (CLK\_OT, CLK\_45T)을 발생한

다. 클록 신호 (CLK\_OT)는 외부 클록 신호 (XK)의 OT 위상에 동기된 클록 신호이고, 클록 신호 (CLK\_45T)는 외부 클록 신호 (XK)의 T/4 위상에 동기된 클록 신호이다. 좀 더 구체적으로 설명하면 다음과 같다.

<43> 제 1 동기 미러 지연 회로 (SMDR)는 제 1 및 제 2 클록 버퍼 회로들 (1110, 1120), 제 1 및 제 2 멀티플렉서들 (1130, 1190) (도면에서 "MUX"로 표기됨), 제 1 및 제 2 구동 회로들 (1140, 1200) (도면에서 "DRV"로 표기됨), 재생성 회로 (1150) (도면에서 "REGEN"로 표기됨), 제 1 및 제 2 정방향 지연 어레이들 (forward delay array: FDA) (1160, 1220), 제 1 및 제 2 미러 제어 회로들 (mirror control circuit: MCC) (1170, 1230), 그리고 제 1 및 제 2 역방향 지연 어레이들 (backward delay array: BDA) (1180, 1240)를 포함한다. 이 실시예에 있어서, 클록 버퍼 회로 (1120), 멀티플렉서 (1130), 구동 회로 (1140), 그리고 재생성 회로 (1150)는 지연 모니터 회로 (delay monitor circuit: DMC)를 구성한다.

<44> 제 1 클록 버퍼 회로 (1110)는 외부 클록 신호 (XK)를 수신하고, 단펄스 모양(one-shot pulse shape)을 갖는 기준 클록 신호 (CLKref1)를 발생한다. 기준 클록 신호 (CLKref1)는 제 1 클록 버퍼 회로 (1110)에 의해서 "td1"의 지연 시간만큼 지연된다. 제 2 클록 버퍼 회로 (1120), 제 1 멀티플렉서 (1130), 제 1 구동 회로 (1140) 및 재생성 회로 (1150)로 구성되는 지연 모니터 회로는 제 1 클록 버퍼 회로 (1110)로부터의 기준 클록 신호 (CLKref1)를 "td1+td2+td3+td4"의 지연 시간만큼 지연시킨다. 제 1 정방향 지연 어레이 (1160)는 복수 개의 직렬 연결된 지연 유니트들 (serially-connected delay units) (FD)을 포함하며, 각 지연 유니트는 동일한 지연 시간을 갖는다. 각 지연 유니트는 입력 클록 신호를 지연시켜 지연 클록 신호를 출력한다.

- <45> 계속해서 도 4를 참조하면, 제 1 미러 제어 회로 (1170)는 정방향 지연 어레이 (1160)의 지연 유니트들에 각각 대응하는 복수 개의 위상 검출기들 (PD)을 포함한다. 각 위상 검출기 (PD)는 제 1 클록 버퍼 회로 (1110)로부터의 기준 클록 신호 (CLKref1)와 정방향 지연 어레이 (1160) 내의 대응하는 지연 유니트 (FD)로부터의 지연 클록 신호를 공급받는다. 각 위상 검출기 (PD)는 입력된 클록 신호들이 동일한 위상을 갖는지의 여부를 검출한다. 제 1 역방향 지연 어레이 (1180)는 미러 제어 회로 (1170)의 위상 검출기들에 각각 대응하는 복수 개의 직렬 연결된 지연 유니트들 (BD)을 포함한다. 각 지연 유니트 (BD)는 정방향 지연 어레이 (1160)의 각 지연 유니트와 동일한 지연 시간을 갖도록 구성된다.
- <46> 제 2 정방향 지연 어레이 (1220)는 복수 개의 직렬 연결된 정방향 지연 유니트들 (FD)을 포함하며, 각 정방향 지연 유니트는 입력 신호를 "T/8"의 지연 시간만큼 지연시켜 지연 클록 신호를 출력한다. 지연 유니트 (1221)는 제 1 역방향 지연 어레이 (1180)로부터 출력되는 클록 신호 (CLK\_OT)를 "T/8"의 지연 시간만큼 지연시킨다. 제 2 미러 제어 회로 (1230)는 정방향 지연 어레이 (1220)의 지연 유니트들에 각각 대응하는 복수 개의 위상 검출기들 (PD)을 포함한다. 각 위상 검출기 (PD)는 지연 유니트 (1221)로부터의 클록 신호와 제 2 정방향 지연 어레이 (1220) 내의 대응하는 지연 유니트 (FD)로부터의 지연 클록 신호를 공급받는다. 각 위상 검출기 (PD)는 입력된 클록 신호들이 동일한 위상을 갖는지의 여부를 검출한다. 제 2 역방향 지연 어레이 (1240)는 제 2 미러 제어 회로 (1230)의 위상 검출기들에 각각 대응하는 복수 개의 직렬 연결된 지연 유니트들 (BD)을 포함한다. 각 지연 유니트 (BD)는 정방향 지연 어레이 (1220)의 각 지연 유니트와 동일한 지연 시간 (T/8)을 갖도록 구성된다.
- <47> 제 2 멀티플렉서 (1190)는 역방향 지연 어레이들 (1180, 1240)로부터 출력되는 클록 신호들 (CLK\_OT, CLK\_45T)을 입력받고, 제어 회로 (190)로부터의 제어 코드 (CR[i])에 응답하여

상이한 위상을 갖는 신호들 (OUT1, OUT2, OUT3)을 출력한다. 제 2 멀티플렉서 (1190)에서 출력되는 신호들 (OUT1, OUT2, OUT3)은 입력 클록 신호들 (CLK\_0T, CLK\_45T)에 대해 "td2"의 지연 시간만큼 지연된다. 예를 들면, 출력 신호들 (OUT1, OUT3)은 CC 모드에서 외부 클록 신호 (XK)의 0T 위상에 동기된 클록 신호들이고, 출력 신호 (OUT2)는 하이 레벨을 갖는다. 출력 신호 (OUT1)는 CA 모드에서 외부 클록 신호 (XK)의 T/4 위상에 동기된 클록 신호이고, 출력 신호 (OUT3)는 CA 모드에서 외부 클록 신호 (XK)의 0T 위상에 동기된 클록 신호이며, 출력 신호 (OUT2)는 하이 레벨을 갖는다. 테스트 모드시, 출력 신호들 (OUT1, OUT3)은 외부 클록 신호 (XK)의 0T 위상에 동기된 클록 신호이고, 출력 신호 (OUT2)는 외부 클록 신호 (XK)의 T/4 위상에 동기된 클록 신호이다. 제 2 구동 회로 (1200)는 제 2 멀티플렉서 (1190)의 출력 신호들 (OUT1, OUT2, OUT3)을 "td3"의 지연 시간만큼 지연시킨다.

<48> 제 2 동기 미러 지연 회로 (SMDF)는 외부 클록 신호 (XK) 및 그것의 상보 클록 신호 (XKB)를 공급받고 내부적으로 외부 클록 신호 (XKB)에 동기된 클록 신호들 (CLK\_90T, CLK\_135T)을 발생한다. 클록 신호 (CLK\_90T)는 외부 클록 신호 (XK)의 T/2 위상에 동기된 클록 신호이고, 클록 신호 (CLK\_135T)는 외부 클록 신호 (XK)의 3T/4 위상에 동기된 클록 신호이다. 좀 더 구체적으로 설명하면 다음과 같다.

<49> 제 2 동기 미러 지연 회로 (SMDF)는 제 3 및 제 4 클록 버퍼 회로들 (1310, 1320), 제 1 및 제 2 멀티플렉서들 (1330, 1390) (도면에서 "MUX"로 표기됨), 제 3 및 제 4 구동 회로들 (1340, 1400) (도면에서 "DRV"로 표기됨), 재생성 회로 (1350) (도면에서 "REGEN"로 표기됨), 제 3 및 제 4 정방향 지연 어레이들 (1360, 1420), 제 3 및 제 4 미러 제어 회로들 (1370, 1430), 그리고 제 3 및 제 4 역방향 지연 어레이들 (1380, 1440)를 포함한다. 이 실시예에 있



어서, 클록 버퍼 회로 (1320), 멀티플렉서 (1330), 구동 회로 (1340), 그리고 재생성 회로 (1350)는 지연 모니터 회로를 구성한다.

<50> 제 3 클록 버퍼 회로 (1310)는 외부 클록 신호 (XKB)를 수신하고, 단펄스 모양을 갖는 기준 클록 신호 (CLKref2)를 발생한다. 기준 클록 신호 (CLKref2)는 제 3 클록 버퍼 회로 (1310)에 의해서 "td1"의 지연 시간만큼 지연된다. 제 4 클록 버퍼 회로 (1320), 제 3 멀티플렉서 (1330), 제 3 구동 회로 (1340) 및 재생성 회로 (1350)로 구성되는 지연 모니터 회로는 제 3 클록 버퍼 회로 (1310)로부터의 기준 클록 신호 (CLKref2)를 "td1+td2+td3+td4"의 지연 시간만큼 지연시킨다. 제 3 정방향 지연 어레이 (1360)는 복수 개의 직렬 연결된 지연 유닛들 (FD)을 포함하며, 각 지연 유닛은 동일한 지연 시간을 갖는다. 각 지연 유닛은 입력 클록 신호를 지연시켜 지연 클록 신호를 출력한다.

<51> 계속해서 도 4를 참조하면, 제 3 미러 제어 회로 (1370)는 정방향 지연 어레이 (1360)의 지연 유닛들에 각각 대응하는 복수 개의 위상 검출기들 (PD)을 포함한다. 각 위상 검출기 (PD)는 제 3 클록 버퍼 회로 (1310)로부터의 기준 클록 신호 (CLKref2)와 정방향 지연 어레이 (1360) 내의 대응하는 지연 유닛 (FD)로부터의 지연 클록 신호를 공급받는다. 각 위상 검출기 (PD)는 입력된 클록 신호들이 동일한 위상을 갖는지의 여부를 검출한다. 제 3 역방향 지연 어레이 (1380)는 미러 제어 회로 (1370)의 위상 검출기들에 각각 대응하는 복수 개의 직렬 연결된 지연 유닛들 (BD)을 포함한다. 각 지연 유닛 (BD)는 정방향 지연 어레이 (1360)의 각 지연 유닛과 동일한 지연 시간을 갖도록 구성된다.

<52> 제 4 정방향 지연 어레이 (1420)는 복수 개의 직렬 연결된 정방향 지연 유닛들 (FD)을 포함하며, 각 정방향 지연 유닛은 입력 신호를 "T/8"의 지연 시간만큼 지연시킨다. 각 지연 유닛은 입력 클록 신호를 지연시켜 지연 클록 신호를 출력한다. 지연 유닛 (1421)는 제 3

역방향 지연 어레이 (1380)로부터 출력되는 클록 신호 (CLK\_90T)를 "T/8"의 지연 시간만큼 지연시킨다. 제 4 미러 제어 회로 (1430)는 정방향 지연 어레이 (1420)의 지연 유니트들에 각각 대응하는 복수 개의 위상 검출기들 (PD)을 포함한다. 각 위상 검출기 (PD)는 지연 유니트 (1421)로부터의 클록 신호와 제 4 정방향 지연 어레이 (1420) 내의 대응하는 지연 유니트 (FD)로부터의 지연 클록 신호를 공급받는다. 각 위상 검출기 (PD)는 입력된 클록 신호들이 동일한 위상을 갖는지의 여부를 검출한다. 제 4 역방향 지연 어레이 (1440)는 제 4 미러 제어 회로 (1430)의 위상 검출기들에 각각 대응하는 복수 개의 직렬 연결된 지연 유니트들 (BD)을 포함한다. 각 지연 유니트 (BD)는 정방향 지연 어레이 (1420)의 각 지연 유니트와 동일한 지연 시간을 갖도록 구성된다.

<53> 제 4 멀티플렉서 (1390)는 역방향 지연 어레이들 (1380, 1440)로부터 출력되는 클록 신호들 (CLK\_90T, CLK\_135T)을 입력받고, 제어 회로 (190)로부터의 제어 코드 (CF[i])에 응답하여 상이한 위상을 갖는 신호들 (OUT1, OUT2, OUT3)을 출력한다. 제 2 멀티플렉서 (1390)에서 출력되는 신호들 (OUT1, OUT2, OUT3)은 입력 클록 신호들 (CLK\_90T, CLK\_135T)에 대해 "td2"의 지연 시간만큼 지연된다. 예를 들면, 출력 신호 (OUT1)는 CC 모드에서 외부 클록 신호 (XK)의 T/2 위상에 동기된 클록 신호이고, 출력 신호들 (OUT2, OUT3)은 하이 레벨을 갖는다. 출력 신호 (OUT1)는 CA 모드에서 외부 클록 신호 (XK)의 3T/4 위상에 동기된 클록 신호이고, 출력 신호들 (OUT2, OUT3)은 CA 모드에서 하이 레벨을 갖는다. 테스트 모드시, 출력 신호 (OUT1)는 외부 클록 신호 (XK)의 3T/4 위상에 동기된 클록 신호이고, 출력 신호들 (OUT2, OUT3)은 외부 클록 신호 (XK)의 T/2 위상에 동기된 클록 신호이다. 제 4 구동 회로 (1400)는 제 4 멀티플렉서 (1390)의 출력 신호들 (OUT1, OUT2, OUT3)을 "td3"의 지연 시간만큼 지연시킨다.

<54> 제 1 클록 발생기 (1210)는 제 2 구동 회로 (1200)의 출력 신호 (OUT1R)과 제 4 구동 회로 (1400)의 출력 신호 (OUT2F)에 응답하여 데이터 클록 신호 (CKR)를 발생한다. 데이터 클록 신호 (CKR)는 입력 신호들 (OUT1R, OUT2F)에 대해 "td4"의 지연 시간만큼 지연된다. 제 2 클록 발생기 (1410)는 제 2 구동 회로 (1200)의 출력 신호 (OUT2R)과 제 4 구동 회로 (1400)의 출력 신호 (OUT1F)에 응답하여 데이터 클록 신호 (CKF)를 발생한다. 데이터 클록 신호 (CKF)는 입력 신호들 (OUT2R, OUT1F)에 대해 "td4"의 지연 시간만큼 지연된다. 제 3 클록 발생기 (1500)는 제 2 구동 회로 (1200)의 출력 신호 (OUT3R)과 제 4 구동 회로 (1400)의 출력 신호 (OUT3F)에 응답하여 어드레스 클록 신호 (CKA)를 발생한다. 어드레스 클록 신호 (CKA)는 입력 신호들 (OUT3R, OUT3F)에 대해 "td4"의 지연 시간만큼 지연된다.

<55> 데이터/어드레스 클록 신호 (CKR/CKA)가 외부 클록 신호 (XK)의 0T 위상에 동기되는 데 걸리는 총 시간은 아래의 수식식 1으로 표현될 수 있다.

<56> 【수식식 1】  $T_{CKR}(0T) = 2(td1 + td2 + td3 + td4) + 2\{T - (td1 + td2 + td3 + td4)\} = 2T$

<57> 데이터 클록 신호 (CKR)가 외부 클록 신호 (XK)의 T/4 위상에 동기되는 데 걸리는 총 시간은 아래의 수식식 2로 표현될 수 있다.

<58> 【수식식 2】  $T_{CKR}(T/4) = 2(td1 + td2 + td3 + td4) + 2\{T - (td1 + td2 + td3 + td4)\} + 2(T + T/8) = 4T + T/4$

<59> 마찬가지로, 데이터 클록 신호 (CKF)가 외부 클록 신호 (XK)의 90T 위상에 동기되는 데 걸리는 총 시간은 수식식 1과 동일하며, 데이터 클록 신호 (CKF)가 외부 클록 신호 (XK)의 3T/4 위상에 동기되는 데 걸리는 총 시간은 수식식 2와 동일하다.

- <60> 도 5는 본 발명의 바람직한 실시예에 따른 도 4에 도시된 제 2 멀티플렉서를 보여주는 회로도이고, 도 6은 본 발명의 바람직한 실시예에 따른 도 5에 도시된 로직 회로를 보여주는 회로도이다.
- <61> 먼저 도 5를 참조하면, 제 2 멀티플렉서 (1190)는 역방향 지연 어레이들 (1180, 1240)으로부터의 클록 신호들 (CLK\_OT, CLK\_45T)을 입력받고, 제어 코드 (CR[i]) (i=1-4)에 응답하여 상이한 위상을 갖는 신호들 (OUT1, OUT2, OUT3)을 출력한다. 제 2 멀티플렉서 (1190)는 선택기 (1191), 인버터들 (INV10, INV11, INV12), 그리고 NAND 게이트들 (G10, G11)을 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 선택기 (1191)는 입력 신호들 (IN2(OT), IN4(T/4))로서 클록 신호들 (CLK\_OT, CLK\_45T)을 입력받고, 제어 신호들 (IN1(CR1), IN3(CR2))에 응답하여 입력 신호들 중 어느 하나를 선택한다. 선택기 (1191)는, 도 6에 도시된 바와 같이, PMOS 트랜지스터들 (M10, M11, M14, M15)과 NMOS 트랜지스터들 (M12, M13, M16, M17)로 구성된다. 선택기 (1191)에 의해서 선택된 클록 신호는 인버터 (INV10)를 통해 출력 신호 (OUT1)로서 출력된다. NAND 게이트 (G10)는 제어 신호 (IN5(CR3))와 인버터 (INV11)를 통해 입력된 클록 신호 (IN(T/4))를 입력받아 출력 신호 (OUT2)를 출력한다. NAND 게이트 (G11)는 제어 신호 (IN7(CR3))와 인버터 (INV12)를 통해 입력된 클록 신호 (IN(OT))를 입력받아 출력 신호 (OUT3)를 출력한다.
- <62> 본 발명에 따르면, 제어 코드 (CR[i])는 동작 모드에 따라 다른 값을 갖는다. 예를 들면, 제어 코드 (CR4CR3CR2CR1)는 CC 모드시 "1010"의 값을 갖고, CA 모드시 "1001"의 값을 가지며, 테스트 모드시 "1110"의 값을 갖는다. 각 동작 모드에 따른 출력 신호들 (OUT1, OUT2, OUT3)은 다음과 같이 생성될 것이다.

<63> CC 모드 및 테스트 모드시 제어 신호들 (CR1, CR2)이 로우 레벨과 하이 레벨로 각각 설정되어 있기 때문에, 선택기 (1191)의 MOS 트랜지스터들 (M11, M12)은 턴 온되고 MOS 트랜지스터들 (M15, M16)은 턴 오프된다. 이러한 조건에서, 클록 신호 (IN2(OT))는 인버터 (INV10)를 통해 출력 신호 (OUT1)로서 전달되는 반면에, 클록 신호 (IN4(T/4))는 차단된다. 즉, CC 모드 및 테스트 모드시 출력 신호 (OUT1)는 클록 신호 (CLK\_OT)와 동일한 위상을 갖는 클록 신호이다. CA 모드시 제어 신호들 (CR1, CR2)이 하이 레벨과 로우 레벨로 각각 설정되어 있기 때문에, 선택기 (1191)의 MOS 트랜지스터들 (M11, M12)은 턴 오프되고 MOS 트랜지스터들 (M15, M16)은 턴 온된다. 이러한 조건에서, 클록 신호 (IN4(T/4))는 인버터 (INV10)를 통해 출력 신호 (OUT1)로서 전달되는 반면에, 클록 신호 (IN1(OT))는 차단된다. 즉, CA 모드시 출력 신호 (OUT1)는 클록 신호 (CLK\_45T)와 동일한 위상을 갖는 클록 신호이다.

<64> CC 및 CA 모드에서 제어 신호 (CR3)가 로우 레벨로 설정되어 있기 때문에, NAND 게이트 (G10)는 다른 입력에 관계없이 하이 레벨의 출력 신호 (OUT2)를 출력한다. 그리고, 테스트 모드에서 제어 신호 (CR3)가 하이 레벨로 설정되어 있기 때문에, NAND 게이트 (G10)는 인버터 (INV11)를 통해 전달되는 입력 신호 (IN4(T/4))를 출력 신호 (OUT2)로서 출력한다. 즉, 출력 신호 (OUT2)는 클록 신호 (CLK\_45T)와 동일한 신호이다. CC/CA 모드 및 테스트 모드에서 제어 신호 (CR4)가 하이 레벨로 설정되어 있기 때문에, NAND 게이트 (G11)는 인버터 (INV12)를 통해 전달되는 입력 신호 (IN6(OT))를 출력 신호 (OUT3)로서 출력한다. 즉, 출력 신호 (OUT3)는 클록 신호 (CLK\_OT)와 동일한 신호이다.

<65> 도 7은 본 발명의 바람직한 실시예에 따른 도 4에 도시된 제 4 멀티플렉서를 보여주는 회로도이다.

<66> 도 7을 참조하면, 제 4 멀티플렉서 (1390)는 클록 신호들 (CLK\_90T, CLK\_135T)을 입력받고, 제어 코드 (CF[i]) (i=1-4)에 응답하여 상이한 위상을 갖는 신호들 (OUT1, OUT2, OUT3)을 출력한다. 제 2 멀티플렉서 (1390)는 선택기 (1391), 인버터들 (INV13, INV14, INV15), 그리고 NAND 게이트들 (G12, G13)을 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 선택기 (1391)는 입력 신호들 (IN2(T/2), IN4(3T/4))로서 클록 신호들 (CLK\_90T, CLK\_135T)을 입력받고, 제어 신호들 (IN1(CF1), IN3(CF2))에 응답하여 입력 신호들 중 어느 하나를 선택한다. 선택기 (1391)는 도 6에 도시된 것과 동일하게 구성되며, 그것에 대한 설명은 그러므로 생략된다. 선택기 (1391)에 의해서 선택된 클록 신호는 인버터 (INV13)를 통해 출력 신호 (OUT1)로서 출력된다. NAND 게이트 (G12)는 제어 신호 (IN5(CF3))와 인버터 (INV14)를 통해 입력된 클록 신호 (IN(3T/4))를 입력받아 출력 신호 (OUT2)를 출력한다. NAND 게이트 (G13)는 제어 신호 (IN7(CF3))와 인버터 (INV15)를 통해 입력된 클록 신호 (IN(T/2))를 입력받아 출력 신호 (OUT3)를 출력한다.

<67> 본 발명에 따르면, 제어 코드 (C4C3C2C1)는 CC 모드시 "0010"의 값을 갖고, CA 모드시 "0001"의 값을 가지며, 테스트 모드시 "1101"의 값을 갖는다. 각 동작 모드에 따른 출력 신호들 (OUT1, OUT2, OUT3)은 다음과 같이 생성될 것이다.

<68> CC 모드시 제어 신호들 (CF1, CF2)이 로우 레벨과 하이 레벨로 각각 설정되어 있기 때문에, 선택기 (1391)의 MOS 트랜지스터들 (M11, M12)은 턴 온되고 MOS 트랜지스터들 (M15, M16)은 턴 오프된다. 이러한 조건에서, 클록 신호 (IN2(T/2))는 인버터 (INV13)를 통해 출력 신호 (OUT1)로서 전달되는 반면에, 클록 신호 (IN4(3T/4))는 차단된다. 즉, CC 모드시 출력 신호 (OUT1)는 클록 신호 (CLK\_90T)와 동일한 위상을 갖는 클록 신호이다. CA 및 테스트 모드시 제어 신호들 (CF1, CF2)이 하이 레벨과 로우 레벨로 각각 설정되어 있기 때문에, 선택기 (1391)

의 MOS 트랜지스터들 (M11, M12)은 턴 오프되고 MOS 트랜지스터들 (M15, M16)은 턴 온된다. 이러한 조건에서, 클록 신호 (IN4(3T/4))는 인버터 (INV13)를 통해 출력 신호 (OUT1)로서 전달되는 반면에, 클록 신호 (IN1(T/2))는 차단된다. 즉, CA 및 테스트 모드시 출력 신호 (OUT1)는 클록 신호 (CLK\_135T)와 동일한 위상을 갖는 클록 신호이다.

<69> CC 및 CA 모드에서 제어 신호 (CF3)가 로우 레벨로 설정되어 있기 때문에, NAND 게이트 (G12)는 다른 입력에 관계없이 하이 레벨의 출력 신호 (OUT2)를 출력한다. 그리고, 테스트 모드에서 제어 신호 (CF3)가 하이 레벨로 설정되어 있기 때문에, NAND 게이트 (G12)는 인버터 (INV14)를 통해 전달되는 입력 신호 (IN4(T/2))를 출력 신호 (OUT2)로서 출력한다. 즉, 출력 신호 (OUT2)는 클록 신호 (CLK\_135T)와 동일한 신호이다. CC 및 CA 모드에서 제어 신호 (CF4)가 로우 레벨로 설정되어 있기 때문에, NAND 게이트 (G13)는 다른 입력에 관계없이 하이 레벨의 출력 신호 (OUT3)를 출력한다. 테스트 모드에서 제어 신호 (CF4)가 하이 레벨로 설정되어 있기 때문에, NAND 게이트 (G13)는 인버터 (INV15)를 통해 전달되는 입력 신호 (IN6(T/2))를 출력 신호 (OUT3)로서 출력한다. 즉, 출력 신호 (OUT3)는 클록 신호 (CLK\_90T)와 동일한 위상을 갖는 클록 신호이다.

<70> CC 모드시 제 2 및 제 4 멀티플렉서들 (1190, 1390)의 출력 신호들의 값들은 다음의 표 1과 같다.

<71> 【표 1】

	IN1	IN2	IN3	IN4	IN5	IN6	IN7	OUT1	OUT2	OUT3
SMDR	L	OT	H	T/4	L	OT	H	OT	H	OT
SMDF	L	T/2	H	3T/4	L	T/2	L	T/2	H	H

<72> CA 모드시 제 2 및 제 4 멀티플렉서들 (1190, 1390)의 출력 신호들의 값들은 다음의 표 2와 같다.

<73> 【표 2】

	IN1	IN2	IN3	IN4	IN5	IN6	IN7	OUT1	OUT2	OUT3
SMDR	H	OT	L	T/4	L	OT	H	T/4	H	OT
S MDF	H	T/2	L	3T/4	L	T/2	L	3T/4	H	H

<74> 테스트 모드시 제 2 및 제 4 멀티플렉서들 (1190, 1390)의 출력 신호들의 값들은 다음의 표 3과 같다.

<75> 【표 3】

	IN1	IN2	IN3	IN4	IN5	IN6	IN7	OUT1	OUT2	OUT3
SMDR	L	OT	H	T/4	H	OT	H	OT	T/4	OT
S MDF	H	T/2	L	3T/4	H	T/2	H	3T/4	T/2	T/2

<76> 도 8은 본 발명의 바람직한 실시예에 따른 도 4에 도시된 제 2 구동 회로 (1200)를 보여주는 블록도이고, 도 9는 본 발명의 바람직한 실시예에 따른 도 8에 도시된 구동기들 중 하나를 보여주는 회로도이다.

<77> 먼저 도 8을 참조하면, 제 2 구동 회로 (1200)는 3개의 구동기들 (1210, 1220, 1230)을 포함한다. 구동기들 (1210, 1220, 1230)은 도 4에 도시된 멀티플렉서 (1190)의 출력 신호들 (OUT1, OUT2, OUT3)을 각각 입력받고, 입력된 신호들을 각각 "td3"의 지연 시간만큼 지연시킨다. 구동기들 (1210, 1220, 1230) 각각은, 도 9에 도시된 바와 같이, 복수 개의 MOS 트랜지스터들 (M18-M29)과 복수 개의 인버터들 (INV17-INV24)을 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 도 9에 도시된 구동기는 셀프 리셋 CMOS 회로 (self reset CMOS circuit)로, 그 동작은 다음과 같다.



<78> 입력 신호 (IN)가 하이 레벨일 때, MOS 트랜지스터들 (M19, M22, M23, M20, M28)은 턴 온되어 출력 신호 (OUT)는 하이 레벨을 갖는다. 입력 신호 (IN)가 하이 레벨에서 로우 레벨로 천이할 때, MOS 트랜지스터들 (M20, M25, M29)는 턴 온되고 MOS 트랜지스터들 (M19, M20, M28)은 턴 오프된다. 내부 노드 (B)가 로우 레벨에서 하이 레벨로 천이할 때, 인버터들 (INV17-INV20)와 MOS 트랜지스터 (M24)로 구성된 신호 경로의 지연 시간이 경과한 후 MOS 트랜지스터 (M18)는 턴 온되고 MOS 트랜지스터 (M21)는 턴 오프된다. 이에 따라, 출력 신호 (OUT)는 다시 로우 레벨에서 하이 레벨로 천이한다. 내부 노드 (B)가 하이 레벨에서 로우 레벨로 천이함에 따라 구동기는 다음의 신호를 입력받을 수 있도록 자동으로 초기화된다. 즉, MOS 트랜지스터들 (M21, M22)은 턴 온되고 MOS 트랜지스터들 (M18, M24)은 턴 오프된다.

<79> 도 10은 본 발명의 바람직한 실시예에 따른 도 4에 도시된 제 4 구동 회로 (1400)를 보여주는 블록도이다. 도 10을 참조하면, 제 4 구동 회로 (1400)는 3개의 구동기들 (1410, 1420, 1430)을 포함한다. 구동기들 (1410, 1420, 1430)은 도 4에 도시된 멀티플렉서 (1390)의 출력 신호들 (OUT1, OUT2, OUT3)을 각각 입력받고, 입력된 신호들을 각각 "td3"의 지연 시간만큼 지연시킨다. 구동기들 (1410, 1420, 1430)은 도 9에 도시된 것과 실질적으로 동일하게 구성되며, 그것에 대한 설명은 그러므로 생략된다.

<80> 도 11은 본 발명의 바람직한 실시예에 따른 도 4에 도시된 클록 발생기 (1210)를 보여주는 회로도이다.

<81> 도 11을 참조하면, 본 발명의 바람직한 실시예에 따른 클록 발생기 (1210)는 복수 개의 MOS 트랜지스터들 (M30-M41)과 복수 개의 인버터들 (INV25-INV32)과 NAND 게이트 (G14)를 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 입력 신호 (OUT1R)는 제 2 구동 회로 (1200)로부터 출력되는 클록 신호이고, 입력 신호 (OUT2F)는 제 4 구동 회로 (1400)에서 출력되는 클록

신호이다. 클록 발생기 (1210)는 펄스 발생기로서 동작하며, 그 동작은 도 9에 도시된 것과 실질적으로 동일하다. 그러므로, 그것에 대한 설명은 여기서 생략될 것이다. 나머지 클록 발생기들 (1410, 1500)은 도 11에 도시된 것과 실질적으로 동일하며, 그것에 대한 설명은 그러므로 여기서 생략될 것이다.

<82> 다음의 표 4는 각 동작 모드에 따른 클록 발생기 (1210)의 입력 및 출력 신호들 (OUT1R, OUT2F, CKR)을 보여준다.

<83> 【표 4】

	CC 모드	CA 모드	테스트
OUT1R	OT	T/4	OT
OUT2F	H	H	T/2
CKR	OT	T/4	OT OR T/2

<84> 입력 신호 (OUT2F)가 하이 레벨로 유지되는 CA 및 CC 모드의 경우, 클록 발생기 (1210)는 데이터 클록 신호 (CKR)로서 외부 클록 신호 (XK)의 OT 위상에 동기된 클록 신호 (OUT1R)를 출력한다. 테스트 모드시, 클록 발생기 (1210)는 데이터 클록 신호 (CKR)로서 외부 클록 신호 (XK)의 OT 위상과 동기된 클록 신호 (OUT1R)와 외부 클록 신호 (XK)의 T/2 위상에 동기된 클록 신호 (OUT2F)를 번갈아 출력한다.

<85> 다음의 표 5는 각 동작 모드에 따른 클록 발생기 (1410)의 입력 및 출력 신호들 (OUT2R, OUT1F, CKF)을 보여준다.

<86> 【표 5】

	CC 모드	CA 모드	테스트
OUT2R	T/2	3T/4	T/4
OUT1F	H	H	3T/4
CKF	T/2	3T/4	T/4 OR 3T/4

<87> 입력 신호 (OUT1F)가 하이 레벨로 유지되는 CC 모드인 경우, 클록 발생기 (1410)는 데이터 클록 신호 (CKF)로서 외부 클록 신호 (XK)의 T/2 위상에 동기된 클록 신호 (OUT2R)를 출력한다. 입력 신호 (OUT1F)가 하이 레벨로 유지되는 CA 모드인 경우, 클록 발생기 (1410)는 데이터 클록 신호 (CKF)로서 외부 클록 신호 (XK)의 3T/4 위상에 동기된 클록 신호 (OUT2R)를 출력한다. 테스트 모드시, 클록 발생기 (1410)는 데이터 클록 신호 (CKF)로서 외부 클록 신호 (XK)의 T/4 위상과 동기된 클록 신호 (OUT2R)와 외부 클록 신호 (XK)의 3T/4 위상에 동기된 클록 신호 (OUT2F)를 번갈아 출력한다.

<88> 다음의 표 6은 각 동작 모드에 따른 클록 발생기 (1500)의 입력 및 출력 신호들 (OUT3R, OUT3F, CKA)을 보여준다.

<89> 【표 6】

	CC 모드	CA 모드	테스트
OUT3R	OT	OT	OT
OUT3F	H	H	T/2
CKA	OT	OT	OT OR T/2

<90> 입력 신호 (OUT1F)가 하이 레벨로 유지되는 CC/CA 모드인 경우, 클록 발생기 (1500)는 데이터 클록 신호 (CKA)로서 외부 클록 신호 (XK)의 OT 위상에 동기된 클록 신호 (OUT3R)를 출력한다. 테스트 모드시, 클록 발생기 (1500)는 데이터 클록 신호 (CKA)로서 외부 클록 신호 (XK)의 OT 위상과 동기된 클록 신호 (OUT3R)와 외부 클록 신호 (XK)의 T/2 위상에 동기된 클록 신호 (OUT3F)를 번갈아 출력한다.

<91> 도 12는 본 발명에 따른 반도체 메모리 장치의 CC 모드에서 생성되는 데이터 클록 신호들 (CKR, CKF)과 어드레스 클록 신호 (CKA)를 보여주는 타이밍도이다.

- <92> CC 모드의 읽기 동작을 수행하기 위해서, 먼저, 제어 회로 (190)는 "0010"의 제어 코드 (C[i])를 발생한다. 도 4의 동기 미러 지연 회로 (SMDR)의 멀티플렉서 (1190)는 제어 코드 (C[i])에 응답하여 각각 0T 위상, 하이 레벨 그리고 0T 위상을 갖는 출력 신호들 (OUT1, OUT2, OUT3)을 출력한다. 도 4의 동기 미러 지연 회로 (SMDF)의 멀티플렉서 (1390)는 제어 코드 (C[i])에 응답하여 각각 T/2 위상, 하이 레벨 그리고 하이 레벨을 갖는 출력 신호들 (OUT1, OUT2, OUT3)을 출력한다. 이에 따라, 클록 발생기 (1500)는 외부 클록 신호 (XK)의 0T 위상에 동기된 어드레스 클록 신호 (CKA)를 발생한다. 어드레스 입력 회로 (120)는 어드레스 클록 신호 (CKA)에 동기되어 어드레스를 입력받는다. 즉, CC 모드의 읽기 동작시, 도 12에 도시된 바와 같이, 어드레스는 외부 클록 신호 (XK)의 로우-하이 천이에 동기되어 한번 입력된다.
- <93> 이와 동시에, 클록 발생기 (1210)는 외부 클록 신호 (XK)의 0T 위상에 동기된 데이터 클록 신호 (CKR)를 발생하고, 클록 발생기 (1310)는 외부 클록 신호 (XK)의 T/2 위상에 동기된 데이터 클록 신호 (CKF)를 발생한다. 데이터 출력 회로 (170)는 독출 회로 (160)에 의해서 읽혀진 데이터를 데이터 클록 신호 (CKR)에 동기되어 한번 그리고 데이터 클록 신호 (CKF)에 동기되어 한번 출력한다. 즉, CC 모드의 읽기 동작시, 도 12에 도시된 바와 같이, 데이터는 외부 클록 신호 (XK)의 로우-하이 천이 및 하이-로우 천이에 동기되어 두번 출력된다.
- <94> CA 모드에서 생성되는 클록 신호들은 CC 모드에서 생성되는 클록 신호들과 90T의 위상차를 갖는다는 점을 고려하면, CA 모드의 읽기 동작은 CC 모드의 읽기 동작과 실질적으로 동일하게 수행될 것이다. 그러므로, 그것에 대한 설명은 여기서 생략될 것이다.
- <95> 도 13은 본 발명에 따른 반도체 메모리 장치의 테스트 모드에서 생성되는 데이터 클록 신호들 (CKR, CKF)과 어드레스 클록 신호 (CKA)를 보여주는 타이밍도이다.

<96> 테스트 모드의 읽기 동작을 수행하기 위해서, 먼저, 제어 회로 (190)는 "1101"의 제어 코드 (C[i])를 발생한다. 도 4의 동기 미리 지연 회로 (SMDR)의 멀티플렉서 (1190)는 제어 코드 (C[i])에 응답하여 각각 0T 위상, T/4 위상 그리고 0T 위상을 갖는 출력 신호들 (OUT1, OUT2, OUT3)을 출력한다. 도 4의 동기 미리 지연 회로 (SMDF)의 멀티플렉서 (1390)는 제어 코드 (C[i])에 응답하여 각각 3T/4 위상, T/2 위상 그리고 T/2 위상을 갖는 출력 신호들 (OUT1, OUT2, OUT3)을 출력한다. 이에 따라, 클록 발생기 (1500)는 외부 클록 신호 (XK)의 0T 위상 및 T/2 위상에 각각 동기된 어드레스 클록 신호 (CKA)를 발생하고, 어드레스 입력 회로 (120)는 어드레스 클록 신호 (CKA)에 동기되어 어드레스를 입력받는다. 즉, 테스트 모드의 읽기 동작시, 도 13에 도시된 바와 같이, 어드레스는 외부 클록 신호 (XK)의 로우-하이 천이 및 하이-로우 천이에 각각 동기되어 두번 입력된다.

<97> 이와 동시에, 클록 발생기 (1210)는 외부 클록 신호 (XK)의 0T 위상 및 T/2 위상에 각각 동기된 데이터 클록 신호 (CKR)를 발생하고, 클록 발생기 (1310)는 외부 클록 신호 (XK)의 T/4 위상과 3T/4 위상에 각각 동기된 데이터 클록 신호 (CKF)를 발생한다. 데이터 출력 회로 (170)는 독출 회로 (160)에 의해서 읽혀진 데이터를 데이터 클록 신호 (CKR)에 동기되어 그리고 데이터 클록 신호 (CKF)에 동기되어 각각 출력한다. 즉, 테스트 모드의 읽기 동작시, 도 13에 도시된 바와 같이, 데이터는 외부 클록 신호 (XK)의 0T, T/4, T/2 그리고 3T/4 위상에 각각 동기되어 4번 출력된다.

<98> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

**【발명의 효과】**

<99> 앞서 설명된 바와 같이, 테스트 모드에서 외부 클록 신호 (XK)의 로우-하이 천이와 하이-로우 천이에 동기되어 어드레스가 입력됨에 따라, 외부 클록 신호 (XK)의 한 주기 내에서 2번의 읽기 동작이 수행될 수 있다. 비록 테스트 장비의 동작 주파수 영역이 저주파 영역에 속하더라도, 내부적으로 2배 빠른 어드레스 및 데이터 클록 신호들 (CKA, CKR, CKF)을 생성함으로써 실질적인 동작 환경에서 고속 메모리 장치를 테스트하는 것이 가능하다.

**【특허청구범위】****【청구항 1】**

행들과 열들로 배열된 메모리 셀들의 어레이와;

어드레스 클록 신호 (CKA)에 응답하여 외부 어드레스를 입력받는 어드레스 입력 회로와;

상기 어드레스 입력 회로로부터의 어드레스에 응답하여 메모리 셀들을 선택하는 선택 회로와;

상기 선택된 메모리 셀들로부터 데이터를 독출하는 독출 회로와;

제 1 및 제 2 데이터 클록 신호들 (CKR, CKF)에 응답하여 상기 독출 회로로부터의 데이터를 외부로 출력하는 데이터 출력 회로와; 그리고

외부 클록 신호 및 그의 상보 클록 신호에 응답하여 상기 어드레스 클록 신호와 상기 제 1 및 제 2 데이터 클록 신호들을 발생하는 내부 클록 발생 회로를 포함하며,

상기 내부 클록 발생 회로는 테스트 모드시 상기 외부 클록 신호의 2배 주기를 갖는 상기 어드레스 클록 신호 및 상기 제 1 및 제 2 데이터 클록 신호들을 발생하는 반도체 메모리 장치.

**【청구항 2】**

제 1 항에 있어서,

상기 내부 클록 발생 회로는 정상 모드시 상기 외부 클록 신호와 동일한 주기를 갖는 상기 어드레스 클록 신호 및 상기 제 1 및 제 2 데이터 클록 신호들을 발생하는 반도체 메모리 장치.

【청구항 3】

제 1 항에 있어서,

상기 제 1 및 제 2 데이터 클럭 신호들에 응답하여 외부 데이터를 입력받는 데이터 입력 회로와; 그리고

상기 데이터 입력 회로로부터의 데이터를 상기 어레이의 선택된 메모리 셀들에 기입하는 기입 회로를 더 포함하는 반도체 메모리 장치.

【청구항 4】

제 1 항에 있어서,

상기 내부 클럭 발생 회로는 동기 미러 지연 회로를 포함하는 반도체 메모리 장치.

【청구항 5】

제 1 항에 있어서,

상기 반도체 메모리 장치는 더블 데이터 레이트 메모리 장치인 반도체 메모리 장치.

【청구항 6】

제 1 항에 있어서,

상기 테스트 모드시, 상기 내부 클럭 발생 회로는 상기 외부 클럭 신호의 1/4 주기마다 상기 어드레스 클럭 신호를 발생하고, 상기 외부 클럭 신호의 0 및 1/2 주기마다 상기 제 1 데이터 클럭 신호를 발생하며, 상기 외부 클럭 신호의 1/4 및 3/4 주기마다 상기 제 2 데이터 클럭 신호를 발생하는 반도체 메모리 장치.



**【청구항 7】**

제 1 항에 있어서,

상기 정상 모드시, 상기 내부 클록 발생 회로는 상기 외부 클록 신호의 0 주기마다 상기 어드레스 클록 신호를 발생하고, 상기 외부 클록 신호의 0 주기마다 상기 제 1 데이터 클록 신호를 발생하며, 상기 외부 클록 신호의 1/2 주기마다 상기 제 2 데이터 클록 신호를 발생하는 반도체 메모리 장치.

**【청구항 8】**

행들과 열들로 배열된 메모리 셀들의 어레이와;

어드레스 클록 신호 (CKA)에 응답하여 외부 어드레스를 입력받는 어드레스 입력 회로와;

상기 어드레스 입력 회로로부터의 어드레스에 응답하여 메모리 셀들을 선택하는 선택 회로와;

상기 선택된 메모리 셀들로부터 데이터를 독출하는 독출 회로와;

제 1 및 제 2 데이터 클록 신호들 (CKR, CKF)에 응답하여 상기 독출 회로로부터의 데이터를 외부로 출력하는 데이터 출력 회로와;

제 1 동기 미러 지연 회로를 포함하며, 외부 클록 신호의 0T 위상 (T는 상기 외부 클록 신호의 주기)을 갖는 제 1 내부 클록 신호 (CLK\_0T)와 상기 외부 클록 신호의 T/4 위상을 갖는 제 2 내부 클록 신호 (CLK\_45T)를 발생하는 제 1 클록 발생 회로와;

제 2 동기 미리 지연 회로를 포함하며, 상기 외부 클록 신호의  $T/2$  위상을 갖는 제 3 내부 클록 신호 (CLK\_90T)와 상기 외부 클록 신호의  $3T/4$  위상 (CLK\_135T)을 갖는 제 4 내부 클록 신호를 발생하는 제 2 클록 발생 회로와;

제어 신호들에 응답하여 상기 제 1 및 제 2 내부 클록 신호들을 디코딩하고, 디코딩 결과로서 제 1 내지 제 3 디코딩 신호들을 출력하는 제 1 디코딩 회로와;

상기 제어 신호들에 응답하여 상기 제 3 및 제 4 내부 클록 신호들을 디코딩하고, 디코딩 결과로서 제 4 내지 제 6 디코딩 신호들을 출력하는 제 2 디코딩 회로와; 그리고

상기 제 1 내지 제 6 디코딩 신호들에 응답하여 상기 제 1 및 제 2 데이터 클록 신호들 및 상기 어드레스 클록 신호를 발생하는 제 3 클록 발생 회로를 포함하며,

테스트 모드시, 상기 어드레스 클록 신호는 상기 제 1 내지 제 4 내부 클록 신호들에 각각 동기되어 생성되고, 상기 제 1 데이터 클록 신호는 상기 제 1 및 제 3 내부 클록 신호들에 각각 동기되어 생성되며, 상기 제 2 데이터 클록 신호는 상기 제 2 및 제 4 내부 클록 신호들에 각각 동기되어 생성되는 반도체 메모리 장치.

#### 【청구항 9】

제 8 항에 있어서,

정상 모드시, 상기 어드레스 클록 신호는 상기 제 1 내부 클록 신호에 동기되어 생성되고, 상기 제 1 데이터 클록 신호는 상기 제 1 및 제 2 내부 클록 신호들 중 하나에 동기되어 생성되며, 상기 제 2 데이터 클록 신호는 상기 제 3 및 제 4 내부 클록 신호들 중 어느 하나에 동기되어 생성되는 반도체 메모리 장치.

**【청구항 10】**

제 8 항에 있어서,

상기 제 1 및 제 2 데이터 클럭 신호들에 응답하여 외부 데이터를 입력받는 데이터 입력 회로와; 그리고

상기 데이터 입력 회로로부터의 데이터를 상기 어레이의 선택된 메모리 셀들에 기입하는 기입 회로를 더 포함하는 반도체 메모리 장치.

**【청구항 11】**

제 8 항에 있어서,

상기 반도체 메모리 장치는 더블 데이터 레이트 메모리 장치인 반도체 메모리 장치.

**【청구항 12】**

제 8 항에 있어서,

상기 제 1 동기 미리 지연 회로는

상기 외부 클럭 신호에 응답하여 기준 클럭 신호를 발생하는 클럭 버퍼와;

상기 기준 클럭 신호를 지연시키는 지연 모니터 회로와;

상기 지연 모니터 회로의 출력 클럭 신호를 정방향으로 순차적으로 지연시켜 제 1 지연 클럭 신호들을 발생하는 제 1 정방향 지연 어레이와;

상기 지연 클럭 신호들과 상기 기준 클럭 신호를 입력받고, 상기 기준 클럭 신호와 동기되는 상기 제 1 지연 클럭 신호들 중 하나를 검출하는 제 1 미리 제어 회로와;

상기 미리 제어 회로에 의해서 검출된 지연 클럭 신호를 역방향으로 지연시켜 상기 제 1 내부 클럭 신호를 출력하는 제 1 역방향 지연 어레이와;

상기 제 1 내부 클록 신호를  $T/8$ 의 지연 시간만큼 지연시키는 단위 지연 소자와;

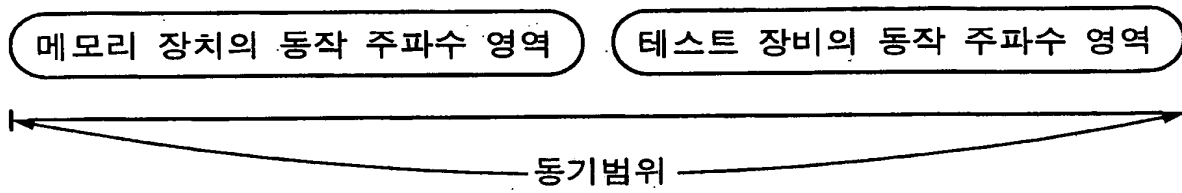
상기 제 1 내부 클록 신호를 정방향으로 순차적으로 지연시켜 제 2 지연 클록 신호들을 발생하는 제 2 정방향 지연 어레이와;

상기 단위 지연 소자로부터의 출력 클록 신호와 동기되는 상기 제 2 지연 클록 신호들 중 하나를 검출하는 제 2 미러 제어 회로와; 그리고

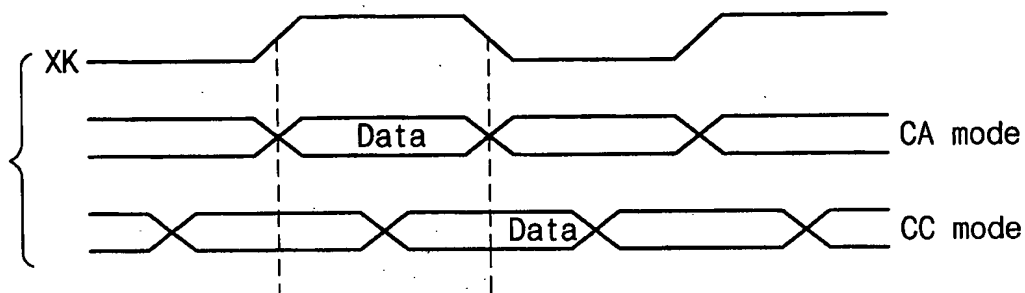
상기 제 2 미러 제어 회로에 의해서 검출된 지연 클록 신호를 역방향으로 지연시켜 상기 제 2 내부 클록 신호를 출력하는 제 2 역방향 지연 어레이를 포함하는 반도체 메모리 장치.

【도면】

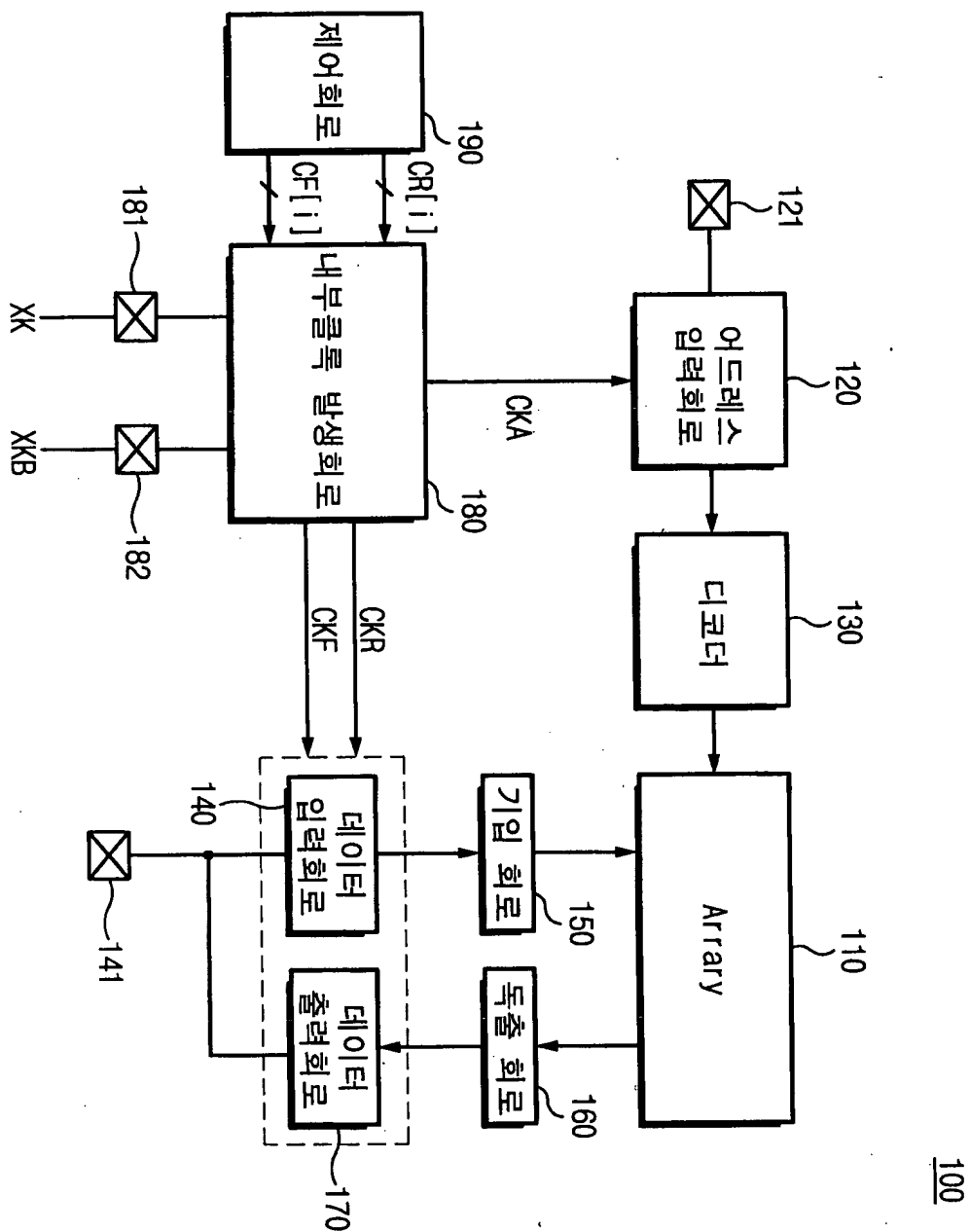
【도 1】



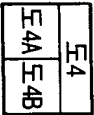
【도 2】



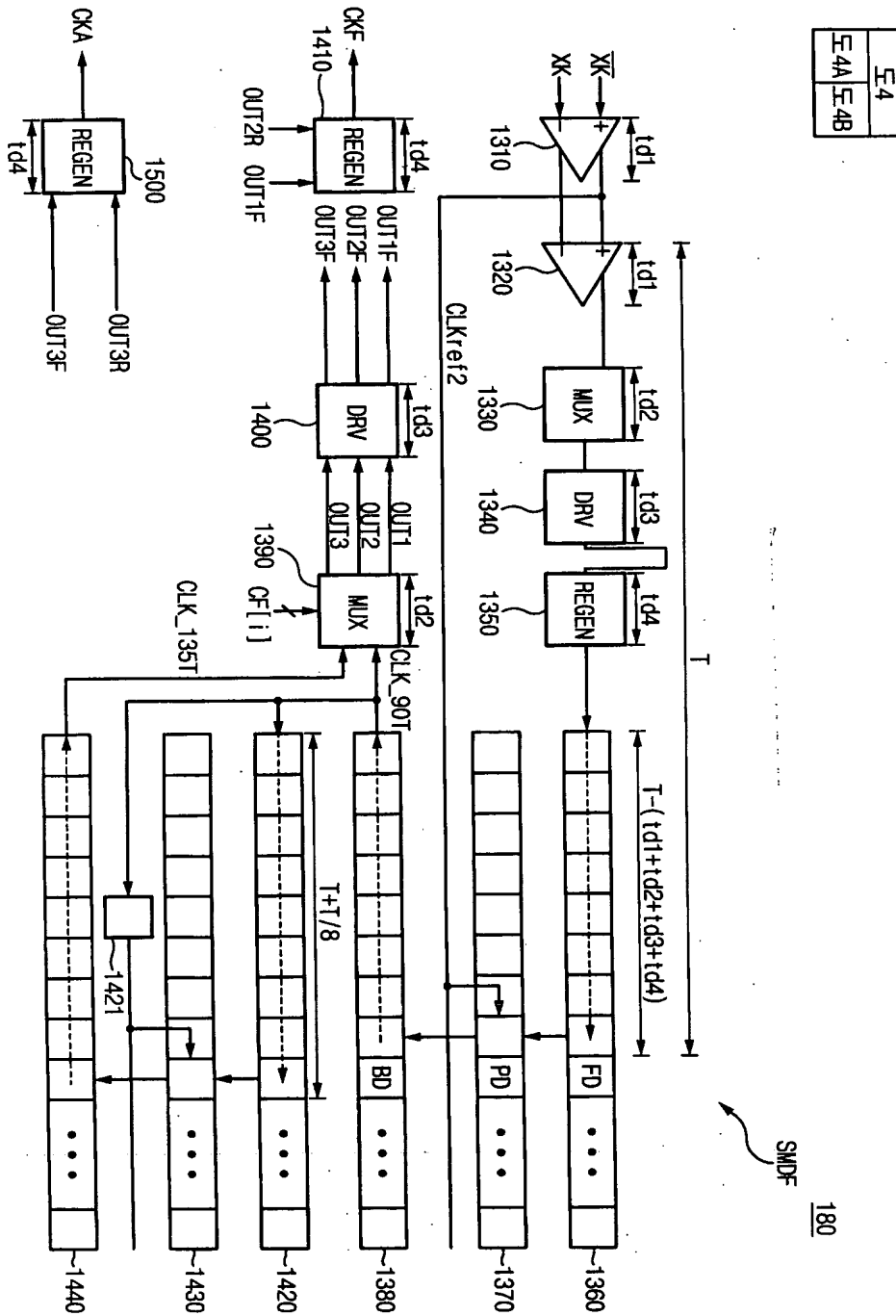
【도 3】



【도 4a】

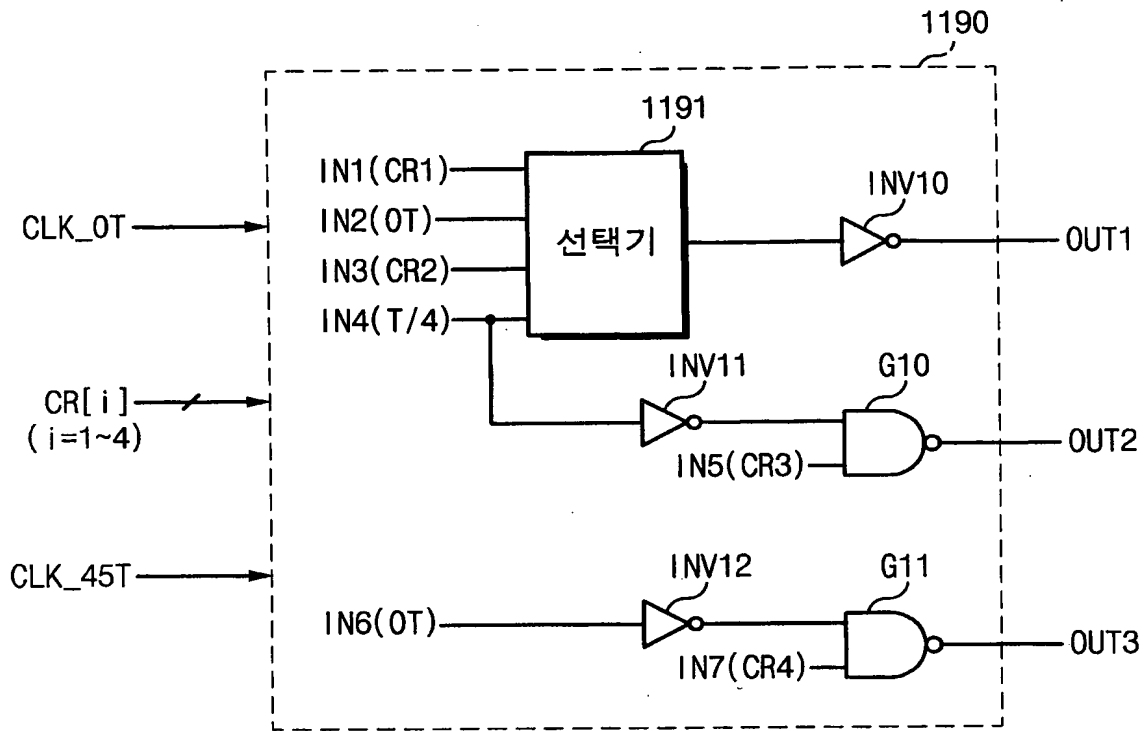


【도 4b】



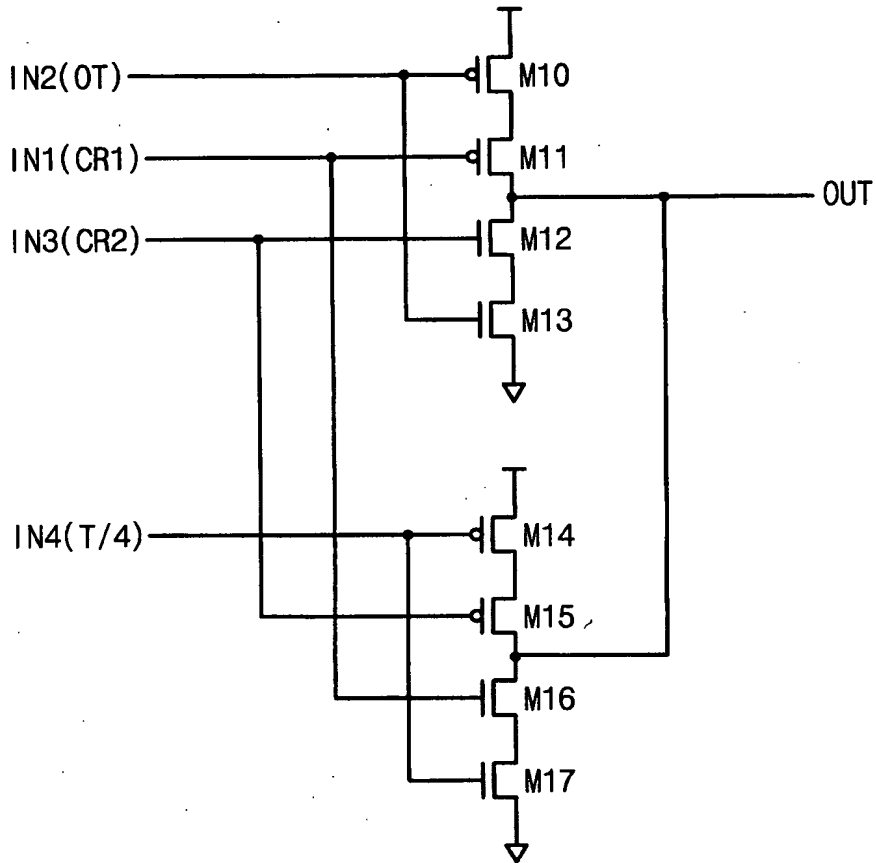


【도 5】

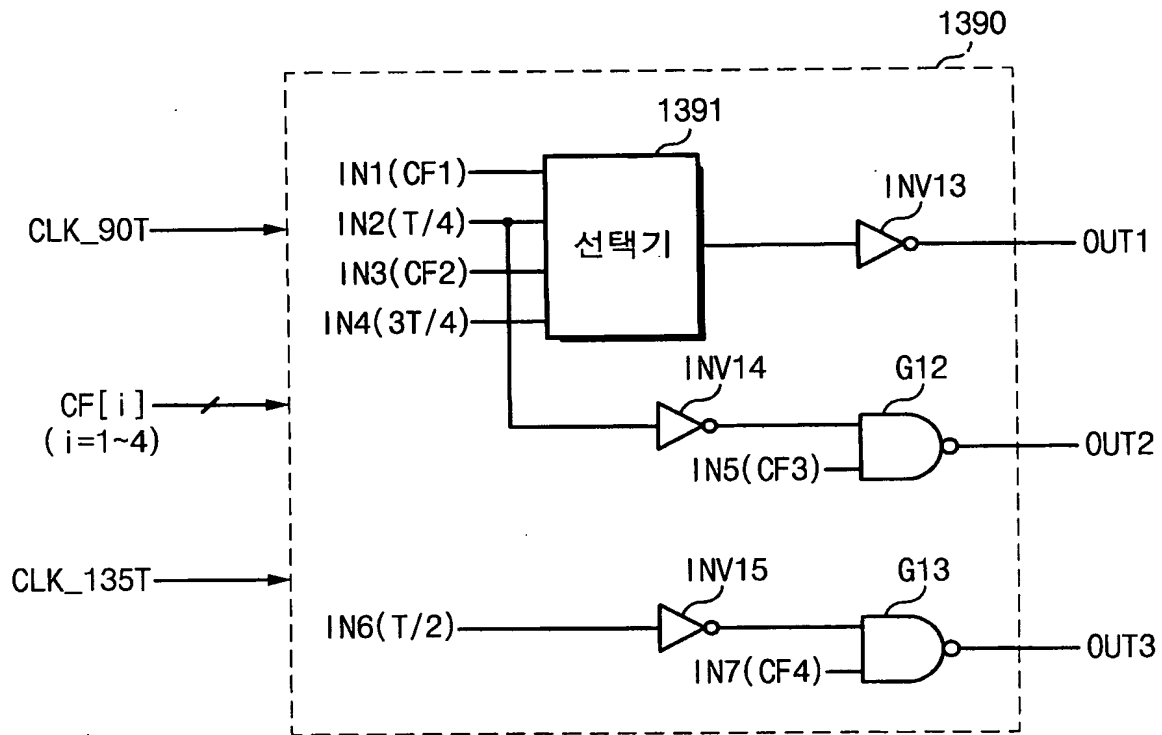


【도 6】

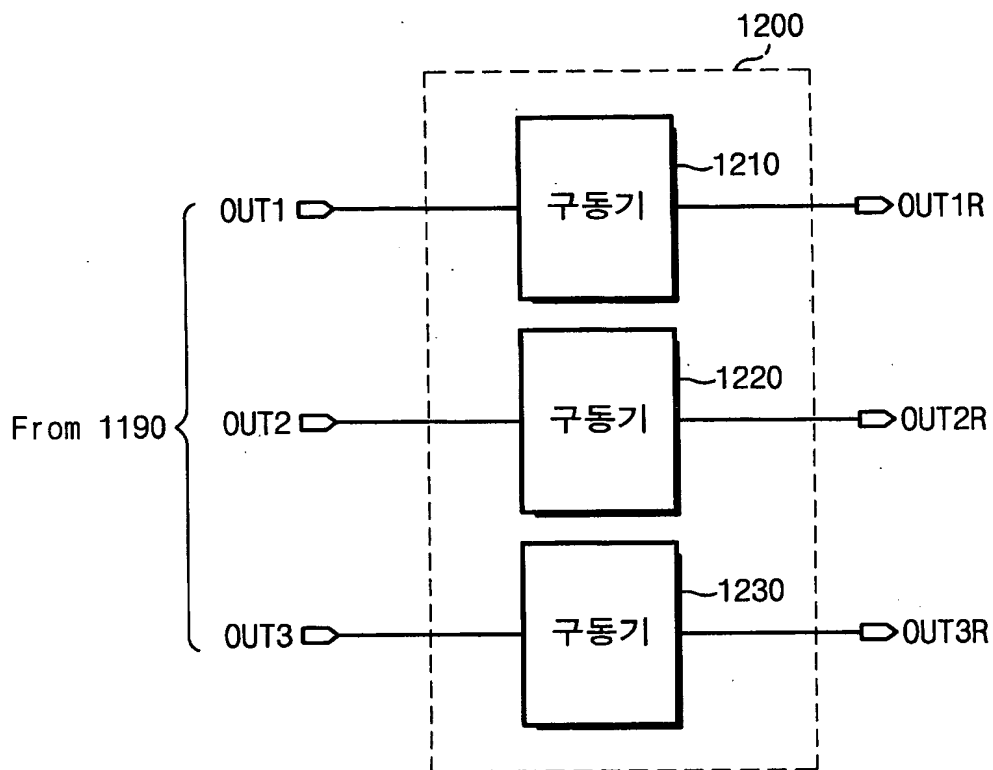
1191



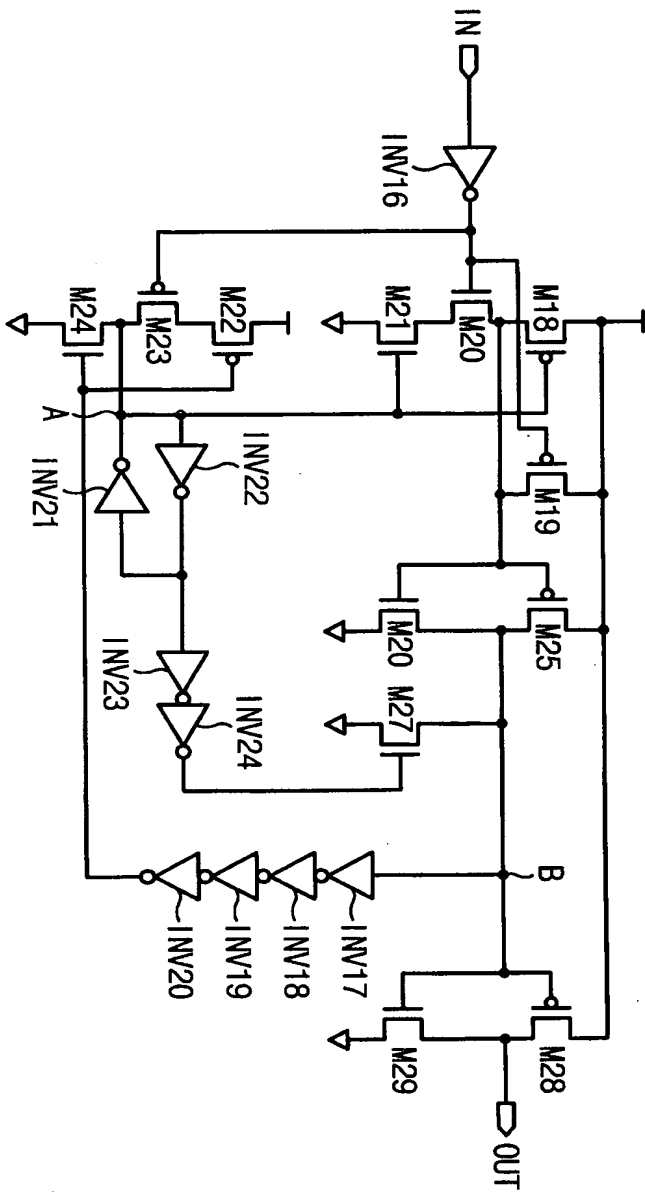
【도 7】



【도 8】

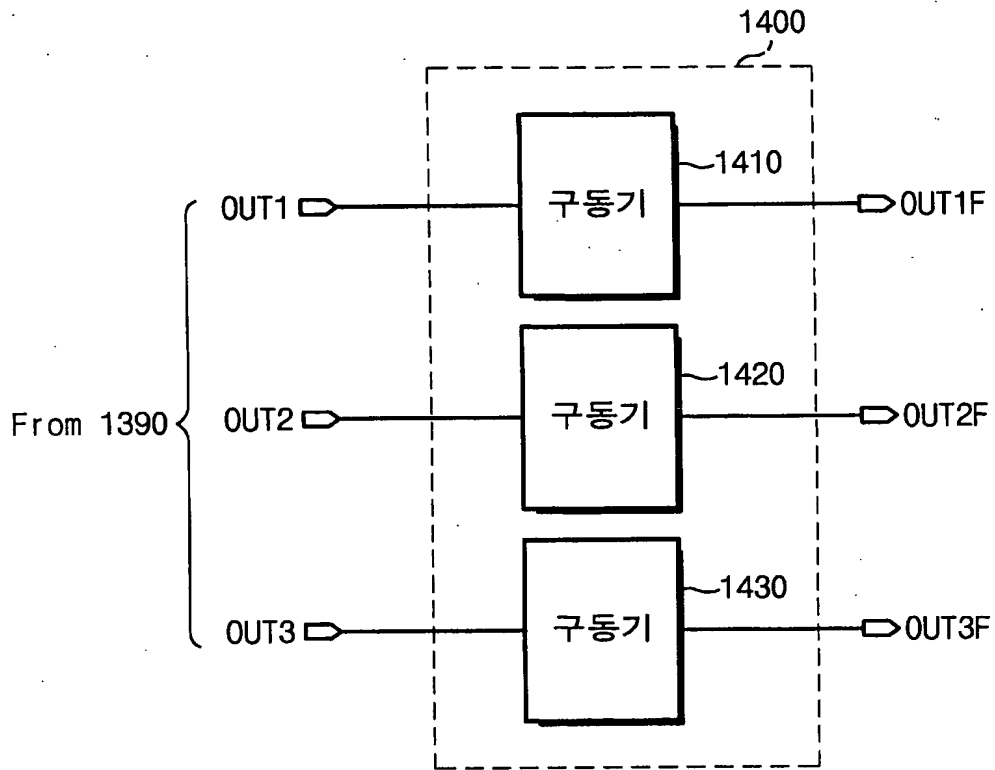


【도 9】

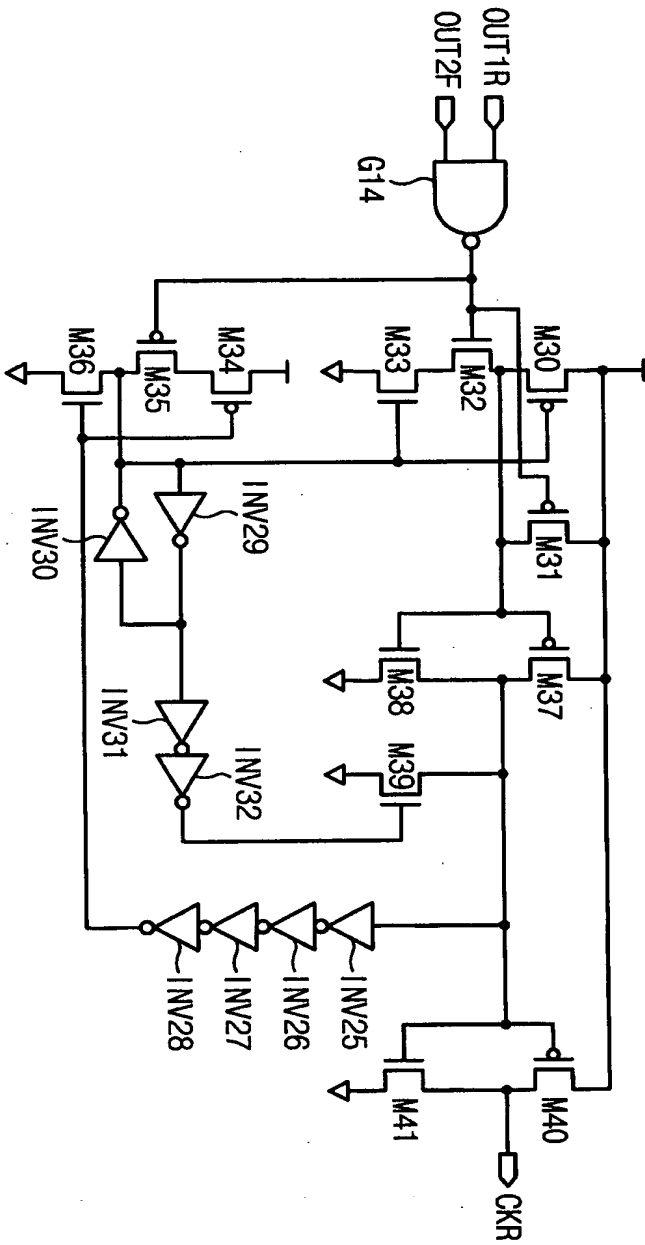


1210, 1220, 1230

【도 10】

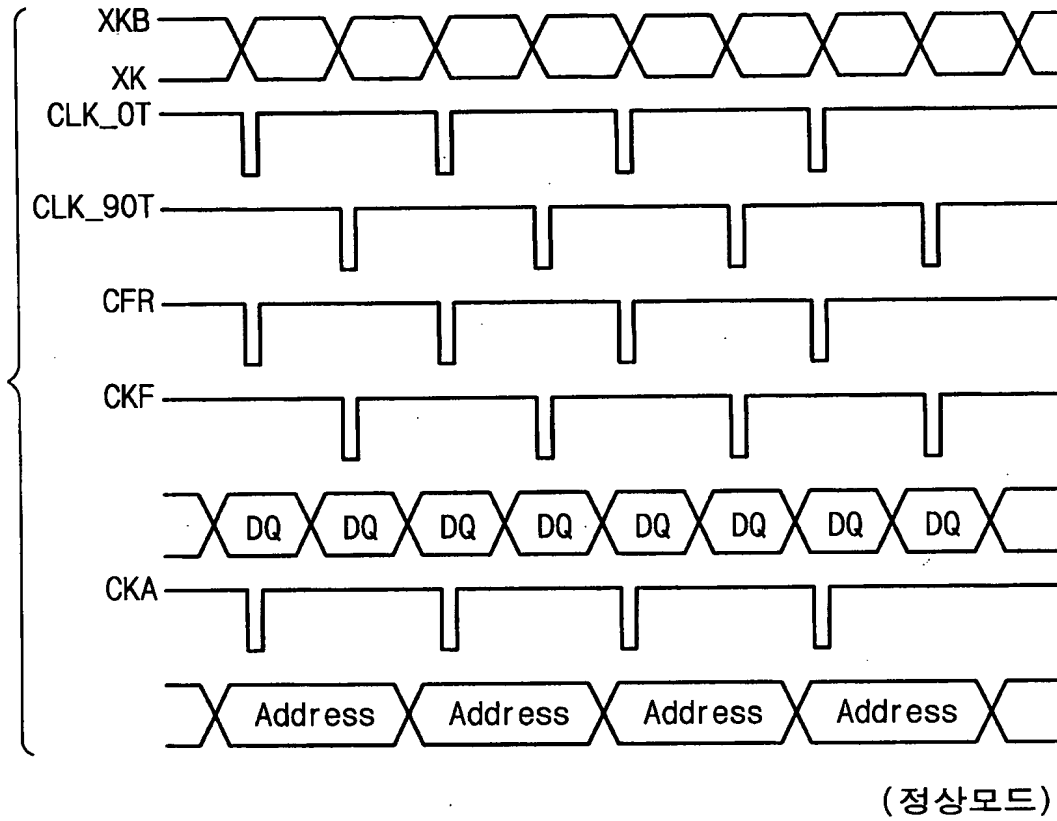


【도 11】



1210

【도 12】





【도 13】

